

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-267606

(43)Date of publication of application : 15.10.1993

(51)Int.Cl.

H01L 27/10
H01L 21/265
H01L 21/76
H01L 27/092

(21)Application number : 04-062856

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 19.03.1992

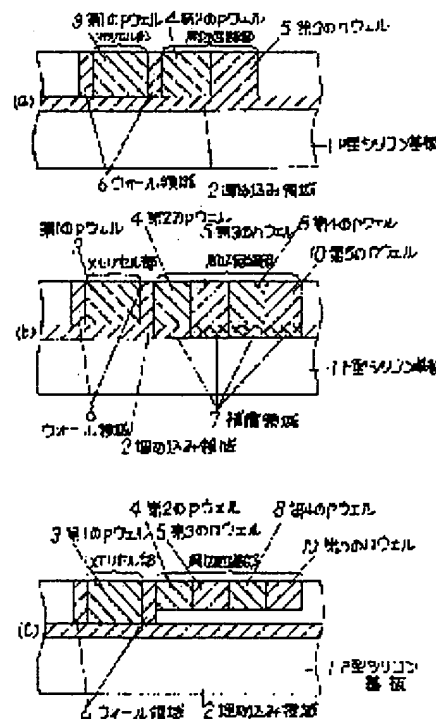
(72)Inventor : SHIMIZU NORITOMO
HIROFUJI YUICHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To erect the triple well structure fit for miniaturization in high noise resistance due to minor carriers without increasing the masking steps while lessening the gap between wells.

CONSTITUTION: The title semiconductor device is composed of a buried layer 2 in the opposite conductivity type to that of a p type silicon substrate 1 formed on the whole surface of said substrate 1, the first p type well 3, wall regions 6 in the opposite conductivity type to that of the substrate 1 encircling the periphery of the first p well 3 continuously formed from the buried layer 2 to the surface of the substrate 1, the second p well 4 and the third n well 5 from the surface of the substrate 1 to the inside while the third n well 5 is to be brought into contact with the buried layer 2.



LEGAL STATUS

[Date of request for examination]

06.08.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3252432

[Date of registration] 22.11.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-267606

(43) 公開日 平成5年 (1993) 10月15日

(51) Int. Cl. ⁶

H01L 27/10

21/265

21/76

識別記号

491

庁内整理番号

8728-4M

F I

技術表示箇所

J 9169-4M

8617-4M

7342-4M

H01L 21/265

27/08

J

321 B

審査請求 未請求 請求項の数7 (全 15 頁)

最終頁に続く

(21) 出願番号 特願平4-62856

(22) 出願日 平成4年 (1992) 3月19日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 清水 紀智

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72) 発明者 広藤 裕一

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

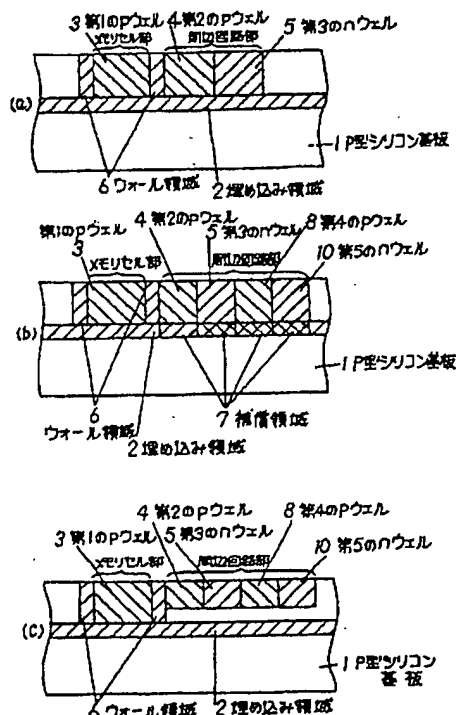
(74) 代理人 弁理士 小殿治 明 (外2名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 少数キャリアによるノイズ耐性の高い3重ウェル構造をマスク工程を増加させる事なく、ウェル-ウェル間距離を小さくし微細化に適した構造とする。

【構成】 p型シリコン基板1内部に半導体基板1全面にわたり形成され、基板1と反対の導電性を有する埋め込み層2と、基板1表面から内部に至る第1のpウェル3と、第1のpウェル3周辺を取り囲み、埋め込み層2から基板1表面まで連続して形成され、基板1と反対の導電性を有するウォール領域6と、基板1表面から内部に至る第2のpウェル4と、基板1表面から内部に至る第3のnウェル5を有し、第3のnウェル5を埋め込み層2と接触させたことを特徴とする。



【特許請求の範囲】

【請求項1】半導体基板内部に前記半導体基板全面にわたり形成され、前記基板と反対の導電型を有する埋め込み層と、前記基板表面から内部に至り、前記基板と同じ導電型を有する第1のウェルと、前記第1のウェル周辺を取り囲み、前記埋め込み層から前記基板表面まで連続して形成され、前記基板と反対の導電型を有するウォール領域と、前記基板表面から内部に至り、前記基板と同じ導電型を有する第2のウェルと、前記基板表面から内部に至り、前記基板と反対の導電型を有する第3のウェルを有し、前記第3のウェルを前記埋め込み層と接触させたことを特徴とする半導体装置。

【請求項2】半導体基板内部に前記半導体基板全面にわたり形成され、前記基板と反対の導電型を有する埋め込み層と、前記基板と同じ導電型を有し前記埋め込み層より高い不純物濃度を有する補償領域と、前記基板表面から内部に至り、前記基板と同じ導電型を有する第1のウェルと、前記第1のウェル周辺を取り囲み、前記埋め込み層から前記基板表面まで連続して形成され、前記基板と反対の導電型を有するウォール領域と、前記基板表面から内部に至り、前記基板と同じ導電型を有する第2のウェル及び第4のウェルと、前記基板表面から内部に至り、前記基板と反対の導電型を有する第3のウェル及び第5のウェルを有し、前記補償領域を前記埋め込み層と同じ深さに設けて前記埋め込み層と第3、第5のウェルとの接続を遮断することを特徴とする半導体装置。

【請求項3】半導体基板内部に前記半導体基板全面にわたり形成され、前記基板と反対の導電型を有する埋め込み層と、前記基板表面に前記基板と同じ導電型を有する第1のウェルと、前記第1のウェル周辺を取り囲み、前記埋め込み層から前記基板表面まで連続して形成され、前記基板と反対の導電型を有するウォール領域と、前記基板と同じ導電型を有する第2のウェル及び第4のウェルと、前記基板と反対の導電型を有する第3のウェル及び第5のウェルを有し、前記第3のウェル及び前記第5のウェルが前記埋め込み層より浅い位置に形成され、前記第3のウェル及び前記第5のウェルと前記埋め込み層が離間していることを特徴とする半導体装置。

【請求項4】請求項2記載の第2のウェル及び第4のウェル底部の、埋め込み層と同じ深さに基板と同じ導電型の補償領域を有し、前記基板と第2のウェル及び第4のウェル底部が前記補償領域を介して接続されることを特徴とする半導体装置。

【請求項5】マスクを用い選択的に半導体基板表面から不純物を導入し前記基板と同じ導電型の第1のウェルを形成する工程と、マスクを用い選択的に前記基板表面から不純物を導入し前記基板と同じ導電型の第2のウェルを形成する工程と、マスクを用い選択的に前記基板表面から不純物を導入し前記基板と反対の導電型の第3のウェルを形成する工程と、マスクを用い選択的に不純物を

導入し前記基板と反対導電型のウォール領域を形成する工程と、前記半導体基板の全面にわたり不純物を導入し前記基板と反対の導電型を有する埋め込み層を形成する工程とを備え、前記ウォール領域は前記第1のウェル周辺を取り囲み、前記埋め込み層は前記第3のウェル及び前記ウォール領域に接触する所定の深さに形成されることを特徴とする半導体装置の製造方法。

【請求項6】マスクを用い選択的に半導体基板表面から不純物を導入し前記基板と同じ導電型の第1のウェルを形成する工程と、マスクを用い選択的に半導体基板表面から不純物を導入し前記基板と同じ導電型の第2のウェル及び第4のウェルを形成する工程と、マスクを用い選択的に半導体基板表面から不純物を導入し前記基板と反対の導電型の第3のウェル及び第5のウェルを形成する工程と、前記第2のウェル及び第4のウェル形成時に用いたマスクを用い自己整合的に不純物を導入し、前記基板と同じ導電型の第1の補償領域を形成する工程と、前記第3のウェル及び第5のウェル形成時に用いたマスクを用い自己整合的に不純物を導入し、前記基板と同じ導電型の第2の補償領域を形成する工程と、マスクを用い選択的に不純物を導入し前記基板と反対導電型のウォール領域を形成する工程と、前記半導体基板の全面にわたり不純物を導入し前記基板と反対の導電型を有する埋め込み層を形成する工程とを備え、前記第1の補償領域は前記埋め込み層と同じ深さにかつ前記埋め込み層よりも高い濃度となるように形成され、前記第2の補償領域は前記埋め込み層と同じ深さにかつ前記埋め込み層よりも高い濃度となるように形成され、前記ウォール領域は前記第1のウェルを取り囲み、前記埋め込み層は前記ウォール領域に接触する所定の深さに形成されることを特徴とする半導体装置の製造方法。

【請求項7】マスクを用い選択的に半導体基板表面から不純物を導入し前記基板と同じ導電型の第1のウェルを形成する工程と、マスクを用い選択的に半導体基板表面から不純物を導入し前記基板と同じ導電型の第2のウェル及び第4のウェルを形成する工程と、マスクを用い選択的に半導体基板表面から不純物を導入し前記基板と反対の導電型の第3のウェル及び第5のウェルを形成する工程と、マスクを用い選択的に不純物を導入し前記基板と反対導電型のウォール領域を形成する工程と、前記半導体基板の全面にわたり不純物を導入し前記基板と反対の導電型を有する埋め込み層を形成する工程とを備え、前記ウォール領域は前記第1のウェルを取り囲み、前記埋め込み層は前記第3のウェルと前記第5のウェルと離間しかつ前記ウォール領域に接触する所定の深さに形成されることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置及びその製造方法に係わり、特に電氣的に絶縁されたウェルの構造

及びその形成方法に関するものである。

【0002】

【従来の技術】近年、半導体素子の微細化に伴い、半導体装置内の一部のみに基板バイアスを与えること、少数キャリアの注入に伴うソフトエラー防止を行なうこと等を目的として、電気的に絶縁されたウェル構造が用いられてきている。

【0003】従来のウェル構造及びその形成方法の例1について図面を参照しながら説明する。図5は従来のウェルの構造及びその形成方法を示す工程断面図である。図5において、1はp型半導体基板、3は電気的に基板と絶縁された第1のpウェル、9は第1のpウェル3を絶縁させるためのn型ウェル、4は電気的に基板に接続した第2のpウェル、5は第3のnウェルを示す。また一般的な製造方法として、先ず絶縁用nウェル9をフォトリソマスク91を用い選択的に基板1表面にPイオン注入92を行い（工程a）、その後熱処理により不純物の拡散を行い、所望の深さに不純物拡散領域を広げる（工程b）。さらに第1のpウェル形成のためのフォトリソマスク31を絶縁用nウェル9領域内に形成し、Bイオン注入32を行うことで電気的に基板1と絶縁された第1のpウェル3が形成される（工程c）。また、絶縁用nウェル9領域外に第2のpウェル形成のためのフォトリソマスク41を形成し、Bイオン注入42を行なうことで基板1と電気的に接続された第2のpウェル4が形成される（工程d）。さらに絶縁用nウェル9、第2のpウェル4領域外に第3のnウェル形成のためのフォトリソマスク51を形成し、Pイオン注入52を行なうことで、第3のnウェル5が形成される（工程e）。その後、熱処理を行い不純物拡散並びに活性化を行なうことで、電気的に基板1と絶縁された第1のpウェル3、電気的に基板1に接続している第2のpウェル4、第3のnウェル5がそれぞれ形成される（工程f）。

【0004】絶縁用ウェル形成において1MeV程度の高エネルギー領域でのイオン注入を用いて形成した場合の、従来のウェル構造及びその形成方法の例2について図面を参照しながら説明する。図6は従来のウェルの構造及びその形成方法を示す工程断面図である。図6において、1はp型半導体基板、3は電気的に基板と絶縁された第1のpウェル、31は電気的に絶縁された第1のpウェル形成のためのフォトリソマスク、4は第2のpウェル、41は第2のpウェル形成のためのフォトリソマスク、5は第3のnウェル、51は第3のnウェル形成のためのフォトリソマスク、2は埋め込み領域、21は埋め込み領域形成のためのフォトリソマスク、6はウォール領域、61はウォール領域形成のためのフォトリソマスクである。イオン注入22,32,42,52,62を用いた各ウェル形成において高エネルギー領域でのイオン注入を用いた場合、不純物の拡散を行なう必要が無く熱処理は不純物の活性化程度で良い。以上のように構成さ

れた半導体装置については例えば、電子情報通信学会技術研究報告SDM89-33,87ページ～92ページ、1989年に記されている。

【0005】まず半導体記憶装置（DRAM）ではメモリセル部を基板と電気的に絶縁されたpウェル内に形成し、pウェル内に負の基板バイアスを与える。さらに絶縁用nウェルには正のバイアスを与えることで周辺回路において発生した少数キャリア（電子）はセルを形成したウェル内に入り込むことができない。その結果ソフトエラー耐性並びに周辺回路のnMOSトランジスタから発生する少数キャリアーによるセルデータ破壊の問題が解消する。以上述べてきたように電気的に絶縁されたウェル内に半導体記憶素子を形成することで少数キャリアーの侵入に伴うソフトエラーを防ぐことが可能となる。

【0006】

【発明が解決しようとする課題】しかしながら例1に示した構成では、熱処理による拡散法を用いて不純物を深く拡散させることにより、絶縁用nウェル9の形成を行っていたため、不純物は横方向にも拡散し、電気的に基板1と絶縁された第1のpウェル3と電気的に基板1に接続している第2のpウェル4の間の領域において不純物濃度が緩い勾配を示し、かつ不純物濃度がウェルの中央部に比べて低くなるので、絶縁された第1のpウェル3の端部から基板に接続している第2のpウェル4端部までの距離を小さくする事ができず、素子の微細化に不向きであるという問題を有していた。

【0007】さらに、例2の構造においては、電気的に基板1から絶縁された第1のpウェル3底面に埋め込み領域2を形成する場合、高エネルギー領域でのイオン注入により深い位置に不純物導入が行えるため、熱処理による拡散が原因の緩い不純物濃度勾配はない。しかしながら高いエネルギーでのイオン注入においては不純物分布がガウス分布を示すため、基板表面付近のn型不純物濃度が低くなり、絶縁された第1のpウェル3端部から基板に接続している第2のpウェル4端部との間にパンチスルーを防止するために基板表面付近のn型不純物濃度を高くする必要がある。そのため、n型不純物濃度の高いウォール領域6形成のためにフォトリソマスク61を形成し、追加のPイオン注入62を行わなければならない。このウォール領域形成のためのフォトリソマスク61を形成する場合においても例1の場合と同様マスク合わせ精度を高くしないと素子の微細化に不向きである。さらに製造工程が増加するという問題を有していた。

【0008】本発明は上記問題点を鑑み、素子の微細化に適しかつ工程数の増加を伴うことなく少数キャリアーによるソフトエラーを防ぐことが可能な半導体装置及びその製造方法を提供するものである。

【0009】

【課題を解決するための手段】本発明の請求項1に係わ

る半導体装置は、上記問題を同時に解決するため、半導体基板内部に前記半導体基板全面にわたり形成され、前記基板と反対の導電型を有する埋め込み層と、前記基板表面から内部に至り、前記基板と同じ導電型を有する第1のウェルと、前記第1のウェル周辺を取り囲み、前記埋め込み層から前記基板表面まで連続して形成され、前記基板と反対の導電型を有するウォール領域と、前記基板表面から内部に至り、前記基板と同じ導電型を有する第2のウェルと、前記基板表面から内部に至り、前記基板と反対の導電型を有する第3のウェルを有し、前記第3のウェルを前記埋め込み層と接触させたことを特徴とする。

【0010】本発明の請求項2に係わる半導体装置は、半導体基板内部に前記半導体基板全面にわたり形成され、前記基板と反対の導電型を有する埋め込み層と、前記基板と同じ導電型を有し前記埋め込み層より高い不純物濃度を有する補償領域と、前記基板表面から内部に至り、前記基板と同じ導電型を有する第1のウェルと、前記第1のウェル周辺を取り囲み、前記埋め込み層から前記基板表面まで連続して形成され、前記基板と反対の導電型を有するウォール領域と、前記基板表面から内部に至り、前記基板と同じ導電型を有する第2のウェル及び第4のウェルと、前記基板表面から内部に至り、前記基板と反対の導電型を有する第3のウェル及び第5のウェルを有し、前記補償領域を前記埋め込み層と同じ深さに設けて前記埋め込み層と第3、第5のウェルとの接続を遮断することを特徴とする。

【0011】本発明の請求項3に係わる半導体装置は、半導体基板内部に前記半導体基板全面にわたり形成され、前記基板と反対の導電型を有する埋め込み層と、前記基板表面に前記基板と同じ導電型を有する第1のウェルと、前記第1のウェル周辺を取り囲み、前記埋め込み層から前記基板表面まで連続して形成され、前記基板と反対の導電型を有するウォール領域と、前記基板と同じ導電型を有する第2のウェル及び第4のウェルと、前記基板と反対の導電型を有する第3のウェル及び第5のウェルを有し、前記第3のウェル及び前記第5のウェルが前記埋め込み層より浅い位置に形成され、前記第3のウェル及び前記第5のウェルと前記埋め込み層が離間していることを特徴とする。

【0012】また本発明の請求項4に係わる半導体装置は、請求項2記載の第2のウェル及び第4のウェル底部の、埋め込み層と同じ深さに基板と同じ導電型の補償領域を有し、前記基板と第2のウェル及び第4のウェル底部が前記補償領域を介して接続されることを特徴とする。

【0013】本発明の請求項5に係わる半導体装置の製造方法は、マスクを用い選択的に半導体基板表面から不純物を導入し前記基板と同じ導電型の第1のウェルを形成する工程と、マスクを用い選択的に前記基板表面から

不純物を導入し前記基板と同じ導電型の第2のウェルを形成する工程と、マスクを用い選択的に前記基板表面から不純物を導入し前記基板と反対の導電型の第3のウェルを形成する工程と、マスクを用い選択的に不純物を導入し前記基板と反対導電型のウォール領域を形成する工程と、前記半導体基板の全面にわたり不純物を導入し前記基板と反対の導電型を有する埋め込み層を形成する工程とを備え、前記ウォール領域は前記第1のウェル周辺を取り囲み、前記埋め込み層は前記第3のウェル及び前記ウォール領域に接触する所定の深さに形成されることを特徴とする。

【0014】本発明の請求項6に係わる半導体装置の製造方法は、マスクを用い選択的に半導体基板表面から不純物を導入し前記基板と同じ導電型の第1のウェルを形成する工程と、マスクを用い選択的に半導体基板表面から不純物を導入し前記基板と同じ導電型の第2のウェル及び第4のウェルを形成する工程と、マスクを用い選択的に半導体基板表面から不純物を導入し前記基板と反対の導電型の第3のウェル及び第5のウェルを形成する工程と、前記第2のウェル及び第4のウェル形成時に用いたマスクを用い自己整合的に不純物を導入し、前記基板と同じ導電型の第1の補償領域を形成する工程と、前記第3のウェル及び第5のウェル形成時に用いたマスクを用い自己整合的に不純物を導入し、前記基板と同じ導電型の第2の補償領域を形成する工程と、マスクを用い選択的に不純物を導入し前記基板と反対導電型のウォール領域を形成する工程と、前記半導体基板の全面にわたり不純物を導入し前記基板と反対の導電型を有する埋め込み層を形成する工程とを備え、前記第1の補償領域は前記埋め込み層と同じ深さにかつ前記埋め込み層よりも高い濃度となるように形成され、前記第2の補償領域は前記埋め込み層と同じ深さにかつ前記埋め込み層よりも高い濃度となるように形成され、前記ウォール領域は前記第1のウェルを取り囲み、前記埋め込み層は前記ウォール領域に接触する所定の深さに形成されることを特徴とする。

【0015】本発明の請求項7に係わる半導体装置の製造方法は、マスクを用い選択的に半導体基板表面から不純物を導入し前記基板と同じ導電型の第1のウェルを形成する工程と、マスクを用い選択的に半導体基板表面から不純物を導入し前記基板と同じ導電型の第2のウェル及び第4のウェルを形成する工程と、マスクを用い選択的に半導体基板表面から不純物を導入し前記基板と反対の導電型の第3のウェル及び第5のウェルを形成する工程と、マスクを用い選択的に不純物を導入し前記基板と反対導電型のウォール領域を形成する工程と、前記半導体基板の全面にわたり不純物を導入し前記基板と反対の導電型を有する埋め込み層を形成する工程とを備え、前記ウォール領域は前記第1のウェルを取り囲み、前記埋め込み層は前記第3のウェルと前記第5のウェルと離間

しかつ前記ウォール領域に接触する所定の深さに形成されることを特徴とする。

【0016】

【作用】請求項1および請求項5に係わる半導体装置及びその製造方法により、基板と同じ導電型を有する第1のウェルと基板と同じ導電型を有する第2のウェルは、電氣的に半導体基板全面に形成された基板と反対の導電型を有する埋め込み領域により底面絶縁され、また第1のウェルと第2のウェルが、第1のウェル側面周辺を取り囲み埋め込み領域から基板表面まで連続した基板と反対の導電型を有するウォール領域により側面絶縁され、かつウォール領域を形成することで横方向の不純物濃度勾配を急峻にすることができるので、第1のウェル端部からウォール領域を経て第2のウェル端部に至る距離を小さくすることが可能となる。さらに、第1のウェル底面を絶縁する埋め込み領域はマスク工程を経る事なく半導体基板全面に形成するので工程を増加する事なく電氣的に絶縁されたウェルの形成が可能となる。

【0017】請求項2および請求項6に係わる半導体装置及びその製造方法により、基板と同じ導電型を有する第1のウェルと、基板と同じ導電型を有する第2のウェル及び第4のウェルは、電氣的に半導体基板全面に形成された基板と反対の導電型を有する埋め込み領域により底面絶縁され、また第1のウェルと第2のウェル及び第4のウェルが、第1のウェル側面周辺を取り囲み埋め込み領域から基板表面まで連続した基板と反対の導電型を有するウォール領域により側面絶縁され、かつウォール領域を形成することで横方向の不純物濃度勾配を急峻にすることができるので、第1のウェル端部からウォール領域を経て第2のウェル端部に至る距離を小さくすることが可能となる。さらに、第1のウェル底面の埋め込み領域はマスク工程を経る事なく半導体基板全面に形成するので、工程を増加する事なく電氣的に絶縁されたウェルの形成が可能となる。さらに、基板と反対の導電型を有する第3のウェル及び第5のウェル底部の埋め込み領域と同じ深さに埋め込み領域より高い不純物濃度で自己整合的に基板と同じ導電型の補償領域を形成することで、第3のウェルとウォール領域及び埋め込み領域との電氣的絶縁が可能となる。

【0018】請求項4および請求項6に係わる半導体装置およびその製造方法により、第2のウェル及び第4のウェル底部の埋め込み領域と同じ深さに埋め込み領域より高い不純物濃度で自己整合的に基板と同じ導電型の補償領域を形成することで、第2のウェル及び第4のウェルと基板との電氣的接続を得ることが可能となり、基板裏面よりの電氣的接続、及び第2のウェルと第4のウェル間の電氣的接続が可能となる。

【0019】請求項3および請求項7に係わる半導体装置およびその製造方法により、基板と同じ導電型を有する第1のウェルと、基板と同じ導電型を有する第2のウ

エル及び第4のウェルは、半導体基板全面に形成された基板と反対の導電型を有する埋め込み領域により電氣的に底面絶縁され、また第1のウェルと第2のウェル及び第4のウェルが、第1のウェル側面周辺を取り囲み埋め込み領域から基板表面まで連続した基板と反対の導電型を有するウォール領域により側面絶縁され、かつ第1のウェルを囲うようにマスクを用い基板と反対導電型のウォール領域を形成することで横方向の不純物濃度勾配を急峻にすることができるので、第1のウェル端部からウォール領域を経て第2のウェル端部に至る距離を小さくすることが可能となる。さらに、第1のウェル底面を絶縁する埋め込み領域はマスク工程を経る事なく半導体基板全面に形成するので、工程を増加する事なく電氣的に絶縁されたウェルの形成が可能となる。さらに、基板と反対の導電型を有する第3のウェル及び第5のウェルと埋め込み領域との間に距離を設けることで、第3のウェル及び第5のウェルとウォール領域及び埋め込み領域との電氣的絶縁が可能となる。

【0020】

20 【実施例】以下本発明の半導体装置およびその製造方法について図面を用い説明する。

【0021】(実施例1) 図1(a)は本発明の実施例1として請求項1に示した半導体装置の断面図である。図1(a)において1は比抵抗が $10 \sim 20 \Omega \text{cm}$ 程度のp型シリコン基板、2は基板1と反対の導電型を有するn型埋め込み領域、3は基板1と同じ導電型を有する第1のpウェル、4は基板1と同じ導電型を有する第2のpウェル、5は基板1と反対の導電型を有する第3のnウェル、6は基板1と反対の導電型を有するn型ウォール領域である。また図7において、(a)~(e)は埋め込み領域2、第1のpウェル3、第2のpウェル4、第3のnウェル5、ウォール領域6の各々のドーピングされた不純物濃度分布を示している。また、破線Sは基準となる基板1中の初期不純物濃度を示している。

【0022】埋め込み領域2は平面的には基板1全面に形成されており、その不純物濃度分布は図7(a)に示すように、基板1表面(上面)からの接合面の深さ J_B は約 $1.5 \mu\text{m}$ である。ウォール領域6は、平面的には第1のpウェル3の周囲を取り囲み、埋め込み領域2上面に完全に接する構造であり、その不純物濃度分布は図7(e)に示すように、ドーピングされた不純物が基板1表面まで到達し、底面の接合面の深さ J_W は約 $2.0 \mu\text{m}$ である。

【0023】第1のpウェル3は、平面的には側面がウォール領域6に囲まれる構造で、その不純物濃度分布は図7(b)に示すように、上面が基板1の表面に露呈し、底面の接合面の深さ J_{PW1} は約 $1.5 \mu\text{m}$ であり、底面が埋め込み領域2上面に接する構造となる。さらに、上面を除いてn型の領域に完全に囲まれている。

50 【0024】第2のpウェル4は、不純物濃度分布が図

7(c)に示されるように底面の接合面の深さ J_{pw2} は約 $1.5\mu\text{m}$ であり、底面が埋め込み領域2上面に接する構造となる。さらに、第2のpウェル4は上面が基板1の表面に露呈し、底面が埋め込み領域2上面に接しているため、基板1及び第1のpウェル3とは電氣的に絶縁可能な構造である。しかし、必ずしも周囲を完全にn型領域で囲まれることはないため、電位を独立して設定できない場合もある。

【0025】第3のnウェル5は、不純物濃度分布が図7(d)に示されるように底面の接合面の深さ J_{nw3} は約 $1.5\mu\text{m}$ であり、底面が埋め込み領域2上面に接する構造となる。さらに、第3のnウェル5は上面が基板1の表面に露呈し、底面が埋め込み領域2上面に接しているため、ウォール領域6と電氣的に接続されている。

【0026】本実施例に示した構造によれば、第1のpウェル3のみを電氣的に独立させる必要があり、第2のpウェル4は基板1と同じ電位に固定する必要がなく、また第3のnウェル5はウォール領域6と電氣的に接続させたい場合に有効である。

【0027】一例として、DRAMにおけるソフトエラー対策に本実施例を適用した場合について述べる。ソフトエラー対策のために第1のpウェル3内部にメモリーセルを設け、第1のpウェル3は負に電位(例えば -2V)をもたせる。一方、ウォール領域6には正の電位(例えば $+3.3\text{V}$)をもたせ、第1のpウェル3周辺をウォール領域6により取り囲むことで、少数キャリアの侵入を防ぐことが可能となる。この少数キャリアの侵入防止のためには、第1のpウェル3、ウォール領域6はそれぞれ負、正に電位を与えることが必要である。さらに、第1のpウェル3をDRAMのメモリーセル領域とし、電位を負にすることでトランジスタの見かけ上のしきい値電圧を高くすることが可能となる。その結果、メモリーセル内のトランジスタのみしきい値電圧が高くオフ動作時のソース～ドレイン間リーク電流の減少を図ることが可能となり、メモリーセルの電荷保持特性を改善できる。本構造において複数のnウェルを形成した場合、埋め込み領域を介して全てのnウェルは同じ電位になる。そのため、電位供給に必要な電極の数を削減でき素子の微細化に有利である。例えばDRAMデバイスに本構造を採用した場合、内部回路において昇圧されている回路部分、例えばワード線ドライバ回路等がnMOS構造を採用して第2のpウェル4のみに設けられると、複数のnウェル間が全て同じウェル電位でよいことになり、この場合は有効である。

【0028】本発明の実施例1に示した半導体装置の製造方法の1例を、工程断面図(図2)を用いて説明する。比抵抗が $10\sim 20\Omega\text{cm}$ 程度のp型シリコン基板1上に、基板1と同じ導電型を有する第1のpウェル3を形成するために、例えばフォトリソマスク31を形成してBイオン注入32を、例えば注入エネルギー 400KeV

V、注入ドーズ量 $2\times 10^{18}\text{cm}^{-2}$ で注入を行なう(工程a)。次に、基板1と同じ導電型を有する第2のpウェル4を形成するために、基板1上第1のpウェル3領域外の所定の場所に、フォトリソマスク41を形成してBイオン42を例えば注入エネルギー 400KeV 、注入ドーズ量 $3\times 10^{18}\text{cm}^{-2}$ で注入を行なう(工程b)。さらに基板1と反対の導電型を有する第3のnウェル5を形成するために、シリコン基板1上第1のpウェル3及び第2のpウェル4領域外の所定の場所に、フォトリソマスク51を形成してPイオン52を例えば注入エネルギー 700KeV 、注入ドーズ量 $1\times 10^{18}\text{cm}^{-2}$ で注入を行なう(工程c)。

【0029】その後、基板1と反対の導電型を有するn型ウォール領域6を形成するために、第1のpウェル3の周囲にフォトリソマスク61を形成し2段階のPイオン注入62を、例えば注入エネルギー 1.2MeV 、注入ドーズ量 $5\times 10^{12}\text{cm}^{-2}$ および注入エネルギー 400KeV 、注入ドーズ量 $3\times 10^{12}\text{cm}^{-2}$ で行なう(工程d)。さらに基板1と反対の導電型を有する埋め込み領域2を形成するために、マスクを形成する事なく基板1全面にPイオン22を注入エネルギー 2MeV 、注入ドーズ量 $1\times 10^{18}\text{cm}^{-2}$ でイオン注入を行なう。最後に不純物活性化のための熱処理を例えば 1050°C 、2時間行なうことにより、第1のpウェル3が第2のpウェル4および基板1と電氣的に絶縁されたウェル構造(図1(a))を形成する事が可能となる。ここで、埋め込み領域2、第1のpウェル3、第2のpウェル4、第3のnウェル5を形成するためのイオン注入の順序に制限はない。更に第2のpウェル4の底部が、必ずしも埋め込み領域2に接続される必要はない。

【0030】本実施例によれば、ウォール領域6及び第1のpウェル3、第2のpウェル4、第3のnウェル5はそれぞれ高温長時間の熱処理を用いることなく所望の形状を形成することが可能であるため、不純物濃度勾配が急峻となり、第1のpウェル3端部からウォール領域6を経て第2のpウェル4端部に至る距離を縮小させることが可能となる。同時に、埋め込み領域2はマスク形成する事なく全面にイオン注入して形成されるため、マスク合わせ精度に依存する縮小限界に制限される事なく、さらにマスク工程の増加や工程数の増加に伴う製造コストの増加を防ぐことが可能となる。

【0031】(実施例2)本発明の実施例2として請求項2に示した半導体装置の断面図である図1(b)と、不純物濃度分布図である図8を用いて説明する。図1(b)において、1は比抵抗が $10\sim 20\Omega\text{cm}$ 程度のp型シリコン基板、2は基板1と反対の導電型を有するn型埋め込み領域、3は基板1と同じ導電型を有する第1のpウェル、4は基板1と同じ導電型を有する第2のpウェル、5は基板1と反対の導電型を有する第3のnウェル、6は基板1と反対の導電型を有するn型ウォール領域であ

る。7は基板1と同じ導電型を有する補償領域、8は基板1と同じ導電型を有する第4のウェルである。10は基板1と反対の導電型を有する第5のnウェルである。また図8において、(a)~(f)は埋め込み領域2、第1のpウェル3、第2、第4のpウェル4、8、第3、第5のnウェル5、10、ウォール領域6、補償領域7の各々のドーピングされた不純物濃度分布を示している。また、破線Sは基準となる基板1中の初期不純物濃度を示している。

【0032】埋め込み領域2は平面的には第2のpウェル4、第3のnウェル5、第4のpウェル8、第5のnウェル10を除く基板1全面に形成されており、その不純物濃度分布は図8(a)に示すように、基板1表面(上面)からの接合面の深さ J_B は約 $1.5\mu\text{m}$ である。ウォール領域6は、平面的には第1のpウェル3の周囲を取り囲み、不純物濃度分布は図8(e)に示すように、ドーピングされた不純物が基板1表面まで到達し、底面の接合面の深さ J_W は約 $2.0\mu\text{m}$ であり、ウォール領域6は埋め込み領域2上面に完全に接する構造となる。

【0033】第1pウェル3は、平面的には側面がウォール領域6に囲まれる構造で、その不純物濃度分布は図8(b)に示されるように、上面が基板1の表面に露呈し、底面の接合面の深さ J_{PW1} は約 $1.5\mu\text{m}$ であり、底面が埋め込み領域2上面に接する構造となる。さらに、上面を除いてn型の領域に完全に囲まれている。第2、第4のpウェル4、8は、不純物濃度分布が図8(c)に示されるように底面の接合面の深さ J_{PW2} は約 $1.5\mu\text{m}$ であり、上面が基板1の表面に露呈し、底面が補償領域7上面に接続された構造となる。その結果、第2、第4のpウェル4、8の実質的な接合面の深さは図8(f)に示されるように補償領域底面の接合深さ J_{CB} であり約 $2.7\mu\text{m}$ となる。

【0034】第3、第5のnウェル5、10は、不純物濃度分布が図8(d)に示されるように底面の接合面の深さ J_{NWS} は約 $1.5\mu\text{m}$ であり、上面が基板1の表面に露呈し、底面が補償領域7上面に接触した構造となる。その結果、第3、第5のnウェル5、10の実質的な接合面の深さは図8(f)に示されるように補償領域上面の接合深さ J_{CT} (約 $1.3\mu\text{m}$)と第3、第5のnウェル5、10底面の接合深さ J_{NWS} (約 $1.5\mu\text{m}$)の間の深さとなる。補償領域7は、埋め込み領域2にドーピングされたPよりも高濃度のBがドーピングされた領域で、平面的には上記第2、第4のpウェル4、8、第3、第5のnウェル5、10と重なる領域にのみ形成されている。本実施例に示した構造によれば、第1のpウェル3は上面が基板1表面に露呈し、底面が埋め込み領域2上面に接し、側面がウォール領域6に囲まれる構造で、上面を除いてn型の領域に完全に囲まれるので、独立した電位を与えることができる。第2のpウェル4、第4のpウェル8は、上面が基板1の表面に露呈し、底面が補償領域7の上面に接しているの、電気的に同一電位を与えることができる。

【0035】本実施例に示した構造によれば、第1のpウェル3のみを電気的に独立させる必要があり、第2のpウェル4、第4のpウェル8を同電位に固定する必要がある場合有効である。さらに、第2のpウェル4、第4のpウェル8の電位を固定させるために基板1裏面に電極を設け第2のpウェル4、第4のpウェル8の電位を取る場合に有効となる。また第3、第5のnウェル5、10はウォール領域6と電気的に分離させたい場合有効である。

10 【0036】本構造においても本発明の実施例1の場合と同様、DARMデバイスのソフトエラー、電荷保持特性の向上に有効となる。さらに本構造を採用した場合、DRAMのメモリーセル部以外の領域のトランジスタ、例えば第2のpウェル4、第4のpウェル8は基板1裏面からも電位の固定が可能となり、コンタクト領域の縮小に伴い素子の微細化に有効となる。さらに、第3、第5のnウェル5、10内に形成されたトランジスタは、素子の微細化に伴いウェル電位をウォール領域6とは異なる値(例えば、ウォール領域6を $+5\text{V}$ 、第3、第5のnウェル5、10を $+3.3\text{V}$)に固定する事でトランジスタのオン動作時のドレイン電流を増加させることが可能となり、速度性能が向上する等、設計上の自由度が大きくなるという利点を有している。さらに、DRAMにおいては、内部回路において昇圧されている回路部分、例えばワード線ドライバー回路等においてCMOS構造を採用して周辺回路部に設ける場合は、複数のnウェル間(例えば、第3のnウェルと第5のnウェルとの間)においてそれぞれ異なるウェル電位を与える必要があり、この場合は本実施例の構造において可能となる。

30 【0037】本発明の実施例2における半導体装置の製造方法の1例を工程断面図(図3)を用いて説明する。比抵抗が $10\sim 20\Omega\text{cm}$ 程度のp型シリコン基板1上に、基板1と同じ導電型を有する第1のpウェル3を形成するために、フォトリソマスク31を形成したBイオン32を例えば注入エネルギー 400KeV 、注入ドーズ量 $2\times 10^{13}\text{cm}^{-2}$ で注入を行なう(工程a)。さらに基板1と同じ導電型を有する第2のpウェル4及び第4のpウェル8を形成するために、基板1上の第1のpウェル3領域外の所定の場所に、フォトリソマスク41を形成してBイオン42を、例えば注入エネルギー 400KeV 、注入ドーズ量 $3\times 10^{13}\text{cm}^{-2}$ で注入を行なう(工程b)。引き続き基板1と同じ導電型を有する補償領域7を形成するために、フォトリソマスク41を用いて第2のpウェル4、第4のpウェル8と自己整合的に、第2のpウェル4、第4のpウェル8下部にBイオン72を注入エネルギー 1.3MeV 、注入ドーズ量 $3\times 10^{13}\text{cm}^{-2}$ で注入を行う(工程c)。

【0038】さらに、基板1と反対の導電型を有する第3、第5のnウェル5、10を形成するために、基板1上の第1のpウェル3、第2のpウェル4及び第4のpウェル

8領域外の所定の場所に、フォトリソマスク51を形成して、Pイオン52を例えば注入エネルギー700 KeV、注入ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ で注入を行なう(工程d)。引続き基板1と同じ導電型を有する補償領域7を形成するために、フォトリソマスク51を用いて第3、第5のnウェル5,10と自己整合的に、第3、第5のnウェル5,10下部にBイオン72を、例えば注入エネルギー1.3 MeV、注入ドーズ量 $3 \times 10^{15} \text{ cm}^{-2}$ でイオン注入を行う(工程e)。

【0039】その後、基板1と反対の導電型を有するウォール領域6を形成するために、第1のpウェル3周辺を取り囲むようにフォトリソマスク61を形成し、2段階のPイオン注入62を、例えば注入エネルギー1.2 MeV、注入ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ および注入エネルギー400 KeV、注入ドーズ量 $3 \times 10^{12} \text{ cm}^{-2}$ で行なう(工程f)。さらに、基板1と反対の導電型を有する埋め込み領域2を形成するために、マスクを形成する事なく基板1全面に、第2、第4のpウェル4,8下部及び第3、第5のnウェル5,10下部の補償領域7と同じ深さになるように、例えばPイオン22を注入エネルギー2 MeV、注入ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ で注入を行なう(工程g)。最後に不純物活性化のための熱処理を1050℃、2時間行なうことにより、図1(b)に示した、第1のpウェル3が、第2のpウェル4、第4のpウェル8及び基板1と電気的に絶縁されたウェル構造を形成する事が可能となる。また、第3、第5のnウェル5,10が、埋め込み領域2及びウォール領域6と電気的に絶縁されたウェル構造を形成する事が可能となる。ここで、埋め込み領域2、第1のpウェル3、第2のpウェル4、第3のnウェル5、第4のpウェル8、第5のnウェル10を形成するためのイオン注入の順序に制限はない。

【0040】本実施例により形成されたウェル構造によれば、ウォール領域6、第1のpウェル3、第2、第4のpウェル4,8、第3、第5のnウェル5,10はそれぞれ高温長時間の熱処理を用いることなく所望の形状を形成することが可能であるため、不純物濃度勾配が急峻となり、第1のpウェル3端部からウォール領域6を経て第2のpウェル4端部に至る距離を縮小させることが可能となる。さらに、埋め込み領域2をマスク形成する事なく全面にイオン注入し、形成することでマスク合わせ精度に依存する縮小限界に制限される事なく、さらにマスク工程の増加や工程数の増加に伴う製造コストの増加を防ぐことが可能となる。また、第2のpウェル4、第4のpウェル8はウェル下部にp型補償領域7を有するため、基板1裏面からウェル電位を固定すること、ならびに第2のpウェル4と第4のpウェル8間の電気的接続を得ることが可能となる。一方、第3、第5のnウェル5,10は下部にp型補償領域7を有するため、第3、第5のnウェル5,10と埋め込み領域2及びウォール領域6との電気的

絶縁が可能となる。

【0041】(実施例3) 本発明の実施例3として請求項3に示した半導体装置の断面図である図1(c)と、不純物濃度分布図である図9を用いて説明する。図1(c)において、1は比抵抗が $10 \sim 20 \Omega \text{ cm}$ 程度のp型シリコン基板、2は基板1と反対の導電型を有するn型埋め込み領域、3は基板1と同じ導電型を有する第1のpウェル、4は基板1と同じ導電型を有する第2のpウェル、5は基板1と反対の導電型を有する第3のnウェル、6は基板1と反対の導電型を有するn型ウォール領域である。8は基板1と同じ導電型を有する第4のウェルである。10は基板1と反対の導電型を有する第5のnウェルである。また図9において、(a)~(e)は埋め込み領域2、第1のpウェル3、第2、第4のpウェル4,8、第3、第5のnウェル5,10、ウォール領域6各々の不純物濃度分布を示している。また、破線Sは基準となる基板1中の初期不純物濃度を示している。

【0042】埋め込み領域2は平面的には基板1全面に形成されており、その不純物濃度分布は図9(a)に示すように、基板1表面(上面)からの接合面の深さ J_B は約 $2 \mu\text{m}$ である。ウォール領域6は、平面的には第1のpウェル3の周囲を取り囲み、不純物濃度分布は図9(e)に示すように、上面は基板1表面までドーピングされた不純物が到達し、底面の接合面の深さ J_W は約 $2.7 \mu\text{m}$ であり、ウォール領域6は埋め込み領域2上面に完全に接する構造となる。第1のpウェル3は、平面的には側面がウォール領域6に囲まれる構造で、その不純物濃度分布は図9(b)に示されるように、上面が基板1の表面に露呈し、底面が埋め込み領域2上部に位置し、底面の接合面の深さ J_{PW1} は約 $1.5 \mu\text{m}$ である。一方、埋め込み領域2の接合面の深さ J_B は前述したように約 $2 \mu\text{m}$ となり実質的に第1のpウェル3の接合面の深さは約 $2 \mu\text{m}$ である。また、第1のpウェル3は上面を除いてn型の領域に完全に囲まれている。

【0043】第2、第4のpウェル4,8は、上面が基板1の表面に露呈し、底面が埋め込み領域2上部に位置する構造である。その不純物濃度分布は図9(c)に示されるように、上面が基板1の表面に露呈し、底面が埋め込み領域2上部に埋め込み領域2に接触しないように位置し、底面の接合面の深さ J_{PW2} は約 $1.5 \mu\text{m}$ である。基板1及び第1のpウェル3とは電気的に絶縁可能な構造である。しかし、必ずしも周囲を完全にn型領域で囲まれることはないで電位を独立して設定できない場合もある。第3、第5のnウェル5,10は、上面が基板1の表面に露呈し、底面が埋め込み領域2上面に位置する構造である。その不純物濃度分布は図9(d)に示されるように、上面が基板1の表面に露呈し、底面が埋め込み領域2上部に埋め込み領域2に接触しないように位置し、底面の接合面の深さ J_{NW5} は約 $1.5 \mu\text{m}$ である。埋め込み領域2とは電気的に絶縁可能な構造である。

【0044】本実施例に示した構造によれば、第1のpウェル3のみを電氣的に独立させる必要があり、第2のpウェル4及び第4のpウェル8は相互に電氣的な接続が必要な場合、また第3、第5のnウェル5,10はウォール領域6と電氣的に分離させたい場合有効である。

【0045】本構造においても本発明の実施例1,2の場合と同様DRAMデバイスにおけるソフトエラー、電荷保持特性の向上に有効となる。さらに、本構造においては本発明の実施例2の場合と同様、第3、第5のnウェル5,10のウェル電位をウォール領域とは異なる値に固定する事が可能となる。また複数のnウェル間（例えば、第3のnウェルと第5のnウェルとの間）においてそれぞれ異なるウェル電位を与えることが可能となる等、本実施例の構造において有効である。

【0046】本発明の実施例3における半導体装置の製造方法の1例を、工程断面図である図4を用いて説明する。比抵抗が $10 \sim 20 \Omega$ 程度のp型シリコン基板1上に基板1と同じ導電型を有する第1のpウェル3を形成するために、例えばフォトレジストマスク31を形成してBイオン注入32を例えば注入エネルギー400KeV、注入ドーズ量 $2 \times 10^{13} \text{cm}^{-2}$ で注入を行なう（工程a）。次に、基板1と同じ導電型を有する第2のpウェル4及び第4のpウェル8を形成するために、基板1上第1のpウェル3領域外の所定の場所に、フォトレジストマスク41を形成してBイオン42を例えば注入エネルギー400KeV、注入ドーズ量 $3 \times 10^{13} \text{cm}^{-2}$ で注入を行なう（工程b）。さらに基板1と反対の導電型を有する第3、第5のnウェル5,10を形成するために、シリコン基板1上の第1のpウェル3及び第2のpウェル4領域外の所定の場所に、フォトレジストマスク51を形成し、Pイオン52を例えば注入エネルギー700KeV、注入ドーズ量 $1 \times 10^{13} \text{cm}^{-2}$ で注入を行なう（工程c）。

【0047】その後、基板1と反対の導電型を有するn型ウォール領域6を形成するために、第1のpウェル3の周囲にフォトレジストマスク61を形成し3段階のPイオン62を、例えば注入エネルギー2MeV、注入ドーズ量 $5 \times 10^{12} \text{cm}^{-2}$ ；注入エネルギー1.2MeV、注入ドーズ量 $5 \times 10^{12} \text{cm}^{-2}$ および注入エネルギー400KeV、注入ドーズ量 $3 \times 10^{12} \text{cm}^{-2}$ でイオン注入を行なう（工程d）。

【0048】さらに基板1と反対の導電型を有する埋め込み領域2を形成するために、マスクを形成する事なく基板1全面にPイオン22を注入エネルギー2.7MeV、注入ドーズ量 $1 \times 10^{13} \text{cm}^{-2}$ でイオン注入を行なう（工程e）。最後に不純物活性化のための熱処理を、例えば1050℃、2時間行なうことにより、図1(c)に示した、第1のpウェル3が、第2のpウェル4、第4のpウェル8及び基板1と電氣的に絶縁されたウェル構造を形成する事が可能となる。また、第3、第5のnウェル5,10が、埋め込み領域2及びウォール領域6と電氣

的に絶縁されたウェル構造を形成する事が可能となる。ここで、埋め込み領域2、第1のpウェル3、第2、第4のpウェル4,8、第3、第5のnウェル5,10を形成するためのイオン注入の順序に制限はない。

【0049】本実施例によれば、ウォール領域6、第1のpウェル3、第2、第4のpウェル4,8、第3、第5のnウェル5,10はそれぞれ高温長時間の熱処理を用いることなく所望の形状を形成することが可能であるため、不純物濃度勾配が急峻となり、第1のpウェル3端部からウォール領域6を経て第2のpウェル4端部に至る距離を縮小させることが可能となる。同時に、埋め込み領域2はマスク形成する事なく全面にイオン注入して形成されるので、マスク合わせ精度に依存する縮小限界に制限される事なく、さらにマスク工程の増加や工程数の増加に伴う製造コストの増加を防ぐことが可能となる。また、第2のpウェル4、第4のpウェル8はウェル下端の接合深さが埋め込み領域2の上面の接合深さよりも浅いため相互に電氣的接続を得る事が可能となる。一方、第3、第5のnウェル5,10はウェル下端の接合深さが埋め込み領域2上面の接合深さよりも浅いため、第3、第5のnウェル5,10と埋め込み領域2及びウォール領域6との電氣的絶縁が可能となる。更に第2～第5ウェル形成のためのイオン注入条件を、埋め込み領域2と接続されないように設定することにより、第2の実施例で必要とする補償領域7を形成する必要がなくなる。

【0050】なお、実施例1～3においてはp型シリコン基板を用い説明したが、n型シリコン基板を用い、埋め込み領域及びウォール領域をp型とし、nウェルを電氣的に絶縁しても同様の効果が得られる。

【0051】また、実施例1～3においてはウェル形成のイオン注入に高エネルギー領域でのイオン注入を用いたが、第1のpウェル端部からウォール領域を経て第2のpウェル端部の間の不純物濃度勾配が急峻であれば、第1のpウェル端部からウォール領域を経て第2のpウェル端部の間の距離は小さくすることが可能である。従って、第1のpウェル、第2、第4のpウェル、第3、第5のnウェルは熱処理による拡散を用い領域形成を行ない、しかる後ウォール領域を形成し、ウォール領域の形成後の熱処理時間を短くもしくは熱処理温度を低くすることで、ウォール領域の横方向不純物濃度勾配が急峻になるようにすれば、第1のpウェル端部からウォール領域を経て第2のpウェル端部の間の距離は小さくすることが可能となる。

【0052】さらに、実施例1～3においてはウォール領域を第1のpウェルの電氣的分離用としてのみ用いたが、ウォール領域内にトランジスタなどのデバイスを作製し、ウォール領域をn型ウェルとして用いることも可能である。

【0053】

【発明の効果】以上のように、本発明は半導体基板全面

に基板不純物濃度より高い基板と反対の導電型の埋め込み領域を有し、基板と同じ導電型を有する第1のウェル周辺を基板と反対の導電型を有するウォール領域が側面を取り囲みかつ埋め込み領域が底面でウォール領域と接続されているので、基板と同じ導電型を有する第2のウェル及び基板と反対の導電型を有する第3のウェルを埋め込み領域より浅い位置に形成することで、第1のウェルと第2のウェル間が電氣的に絶縁され、かつ第1のウェル周辺を囲うようにマスクを用い基板と反対の導電型を有するウォール領域を形成することで、不純物濃度勾配が急峻で、第1のウェル端部からウォール領域を経て第2のウェル端部に至る距離を小さくすることが可能となる。さらに、埋め込み領域を半導体基板全面にマスク工程を経る事なく形成する事で、工程数を増加する事なく電氣的に絶縁されたウェルの形成が可能となる。その結果、DRAMデバイスにおけるソフトエラー、電荷保持特性の向上に有効となる。

【0054】また、基板と同じ導電型を有する第2、第4のウェルおよび基板と反対の導電型を有する第3、第5のウェル底部の埋め込み領域と同じ深さに、埋め込み領域より高い不純物濃度で自己整合的に基板と同じ導電型の不純物層を形成することで、第2のウェル及び第4のウェルと基板との電氣的接続を得ることが可能となり、基板裏面よりの電氣的接続が可能となる。また第3、第5のウェルと、第1のウェル周辺を囲む基板と反対の導電型を有するウォール領域及び半導体基板全面に形成された基板と反対の導電型を有する埋め込み領域との電氣的絶縁が可能となる。その結果、DRAMデバイスにおいて、複数のnウェル間においてそれぞれ異なるウェル電位を与えることが可能となる。

【0055】また、基板と同じ導電型を有する第2、第4のウェル及び基板と反対の導電型を有する第3、第5のウェルと埋め込み領域との間に距離を設けることで、

第2のウェルと第4のウェル間の電氣的接続、第3のウェルと、ウォール領域及び半導体基板全面に形成された基板と反対の導電型を有する埋め込み領域との電氣的絶縁が可能となり、例えば、埋め込み領域と第3のウェルに独立した電位を取ることが可能となりその実用的効果は大きい。

【図面の簡単な説明】

【図1】(a)は本発明1における半導体装置の構造の断面図

10 (b)は本発明2における半導体装置の構造の断面図

(c)は本発明3における半導体装置の構造の断面図

【図2】本発明1の実施例における半導体装置の製造工程断面図

【図3】本発明2の実施例における半導体装置の製造工程断面図

【図4】本発明3の実施例における半導体装置の製造工程断面図

【図5】従来技術における半導体装置の製造工程断面図

【図6】従来技術における半導体装置の製造工程断面図

20 【図7】本発明1の実施例における不純物濃度分布図

【図8】本発明2の実施例における不純物濃度分布図

【図9】本発明3の実施例における不純物濃度分布図

【符号の説明】

1 p型シリコン基板

2 n型埋め込み領域

3 第1のpウェル

4 第2のpウェル

5 第3のnウェル

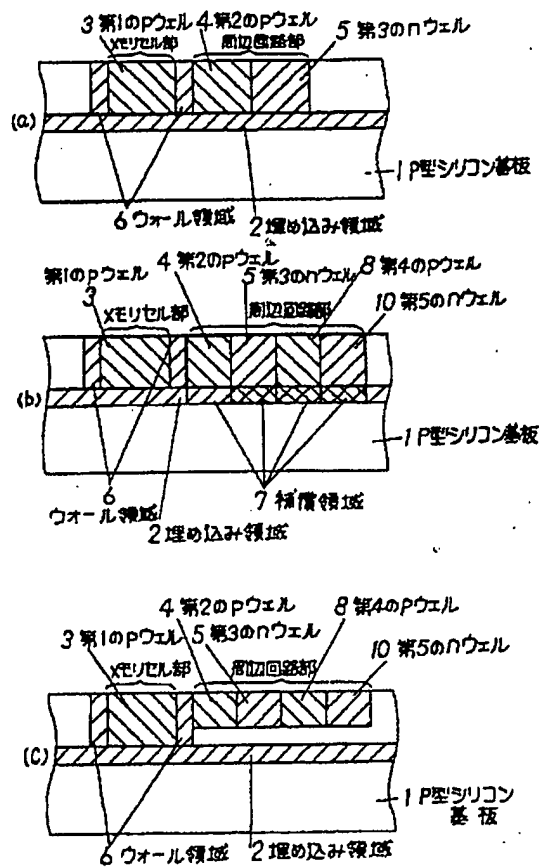
6 n型ウォール領域

30 7 補償領域

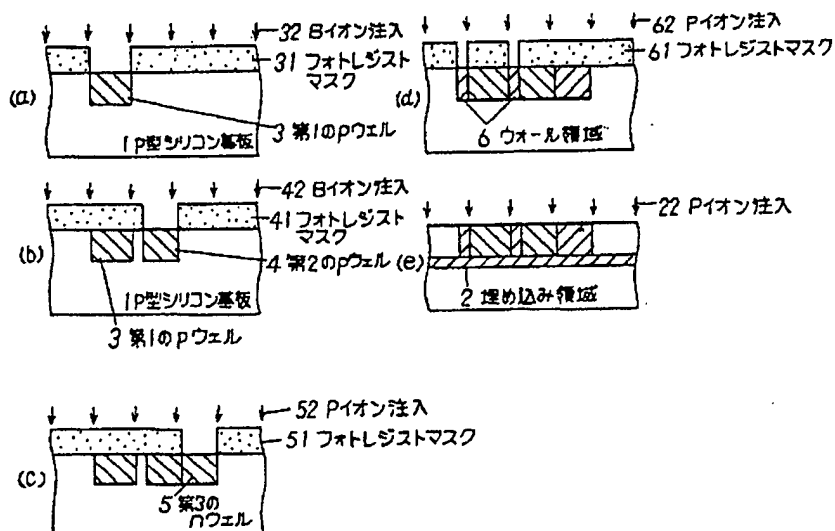
8 第4のpウェル

10 第5のnウェル

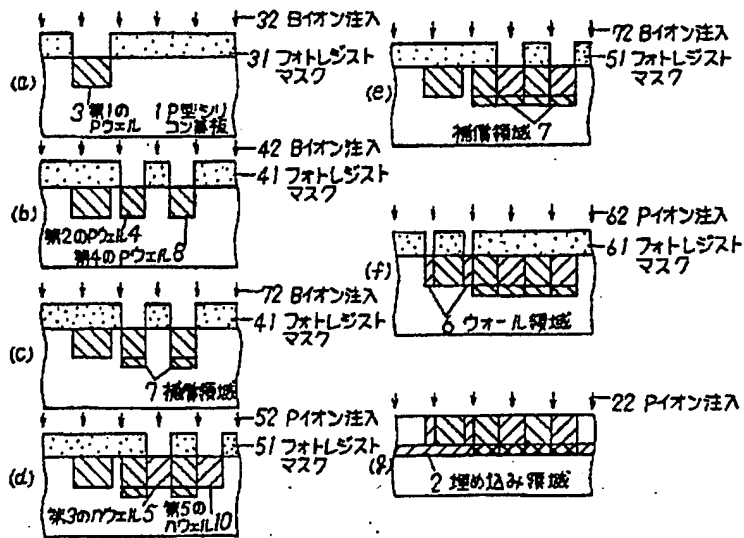
【図1】



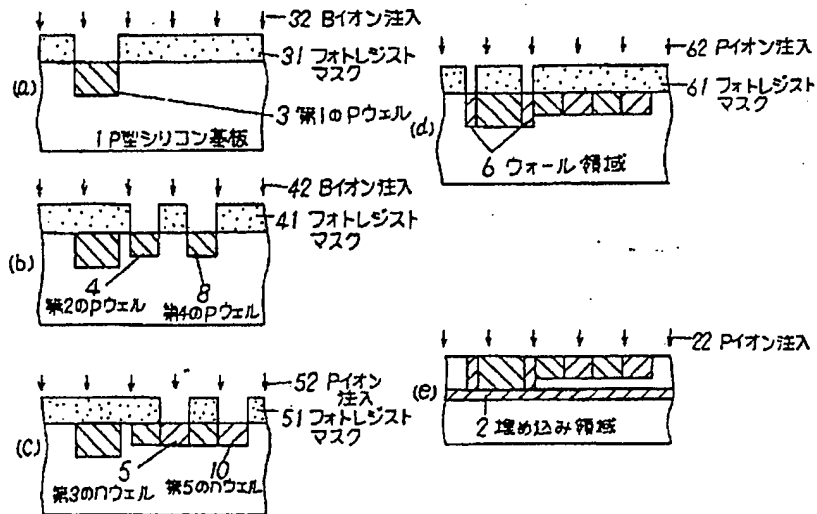
【図2】



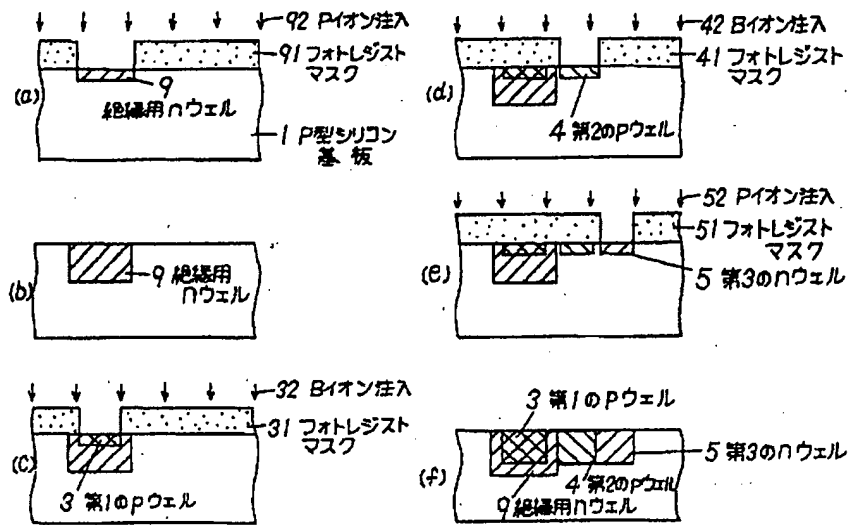
【図3】



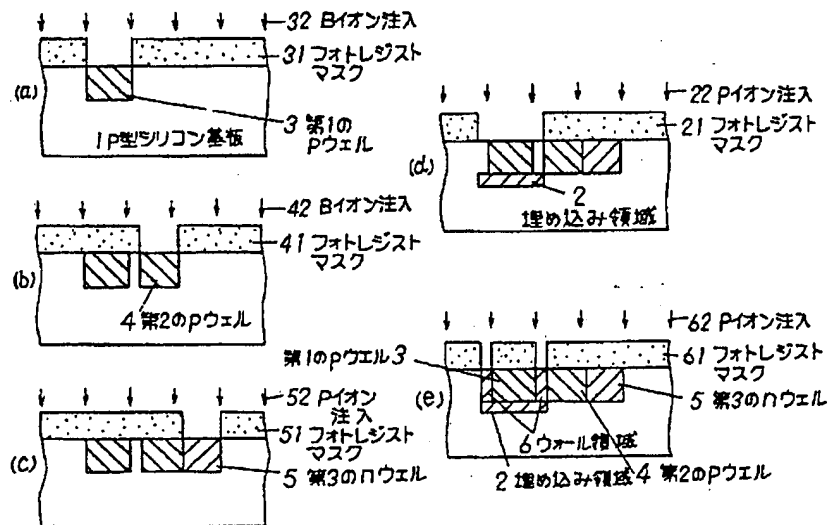
【図4】



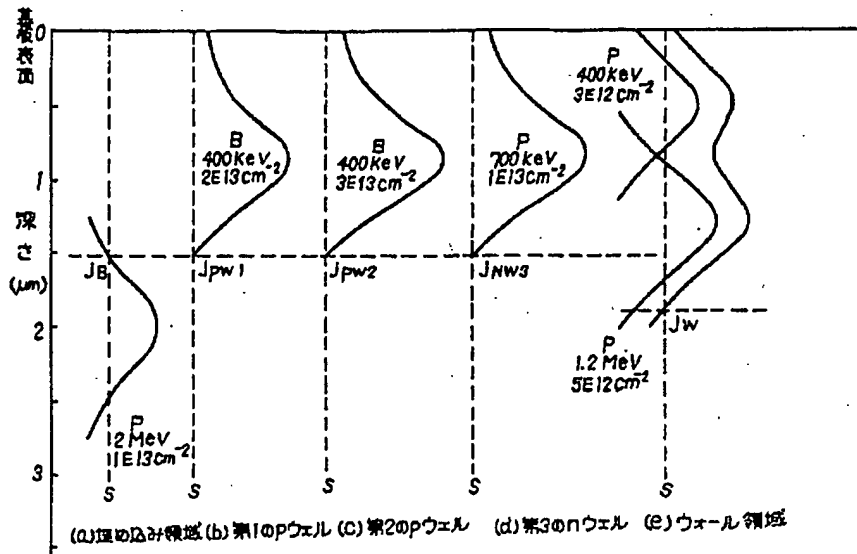
【図5】



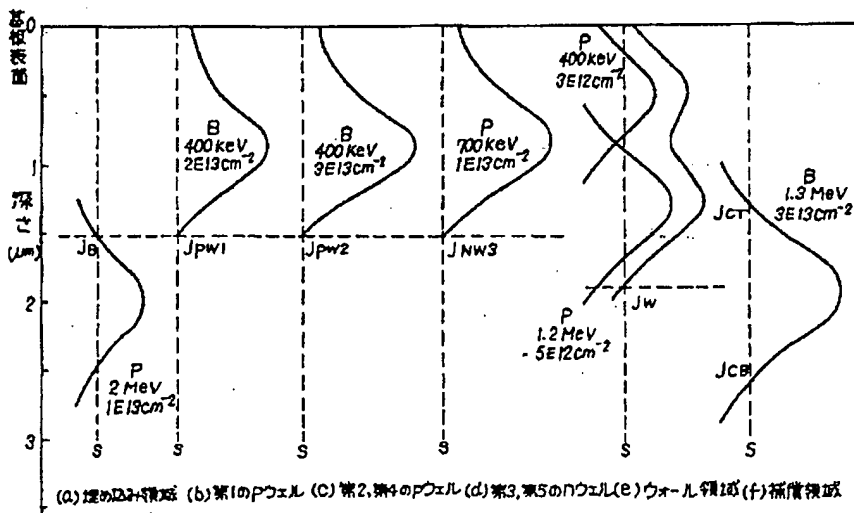
【図6】



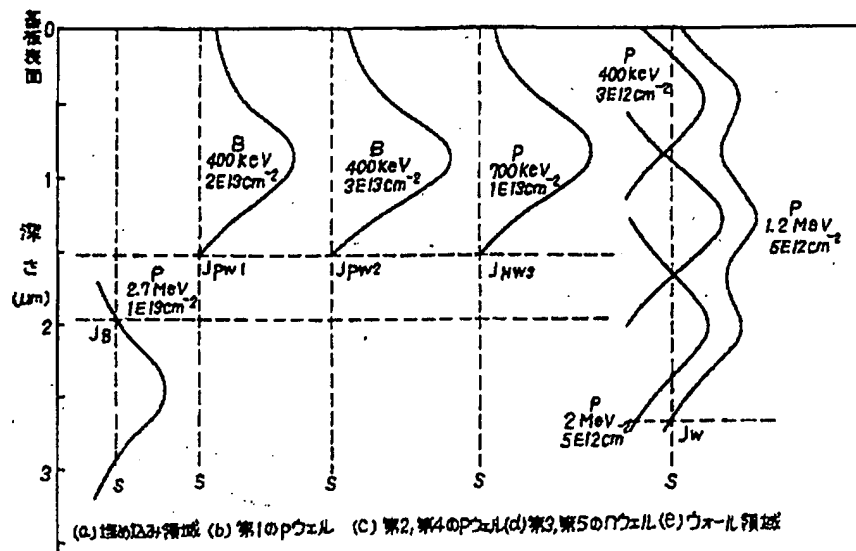
【図7】



【図8】



【図9】



フロントページの続き

(51) Int. Cl.⁵

H01L 27/092

識別記号

庁内整理番号

FI

技術表示箇所